

**ГОУ ВПО РОССИЙСКО-АРМЯНСКИЙ (СЛАВЯНСКИЙ)  
УНИВЕРСИТЕТ**

Составлен в соответствии  
с государственными требованиями  
к минимуму содержания и уровню  
подготовки выпускников по  
направлению **11.03.03 Конструирование  
и технология электронных средств** и  
Положением «Об УМКД РАУ».

**УТВЕРЖДАЮ:**

**Директор ИФИ Саркисян А.А.**



**21.07.2023г.**

**Институт: Инженерно-физический**

**Кафедра: Микроэлектронные схемы и системы**

*Автор: К.т.н., доцент Туманян Анна Кароевна*

***УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС***

**Дисциплина: Б1.В.ДВ.10.01 «Архитектура цифровых систем»**

**Направление: 11.03.03 «Конструирование и технология электронных  
средств»**

**ЕРЕВАН**

## Структура и содержание УМКД

### 1. Аннотация

#### 1.1. Выписка из ФГОС ВО РФ по минимальным требованиям к дисциплине

В результате изучения данной дисциплины студент должен:

- **знать:** взаимодействие между аппаратным и программным обеспечением. Принципы организации компьютерных систем. Основы параллельных вычислений;
- **уметь:** применять языки проектирования аппаратных средств для описания процессоров;
- **владеть:** принципами проектирования сложных вычислительных систем.

#### 1.2. Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности (направления)

Курс «Архитектура цифровых систем» взаимосвязан с такими дисциплинами специальности «Конструирование и технология электронных средств», как «Информатика», «Инженерная и компьютерная графика», «Логическое проектирование электронных средств», «Информационные технологии».

#### 1.3. Требования к исходным уровням знаний, умений и навыков студентов для прохождения дисциплины (что должен знать, уметь и владеть студент для прохождения данной дисциплины)

Для прохождения данной дисциплины студент должен

- **знать:** основы алгебры логики, электроники и моделирования электронных средств; принцип программного управления; двоичную арифметику
- **уметь:** разрабатывать алгоритмы решения задач, анализировать и моделировать простейшие электрические и электронные схемы
- **владеть:** навыками информационных технологий, электротехники и электроники.

#### 1.4. Предварительное условие для прохождения (дисциплина(ы), изучение которых является необходимой базой для освоения данной дисциплины)

Для освоения данной дисциплины у студентов должна быть устойчивая база знаний по дисциплинам: информатика, языки проектирования аппаратных средств, информационные технологии.

## 2. Содержание

### 2.1. Цели и задачи дисциплины

Изучение архитектур современных процессоров и вычислительных систем. Изучение иерархической структуры памяти и алгоритмов выполнения арифметических и логических операций в процессорах. Знакомство с организацией ввода/вывода.

2.2. Требования к уровню освоения содержания дисциплины (какие компетенции (знания, умения и навыки) должны быть сформированы у студента после прохождения данной дисциплины)

В результате освоения данной дисциплины у студента должны быть сформированы следующие компетенции:

- готовностью формировать презентации, научно-технические отчеты по результатам выполненной работы, оформлять результаты исследований в виде статей и докладов на научно-технических конференциях (ПК-3);
- готовностью выполнять расчет и проектирование деталей, узлов и модулей электронных средств, в соответствии с техническим заданием с использованием средств автоматизации проектирования (ПК-6);

#### **общефессиональные компетенции (ОПК):**

- способностью использовать основные приемы обработки и представления экспериментальных данных (ОПК-5);
- способностью учитывать современные тенденции развития электроники, измерительной и вычислительной техники, информационных технологий в своей профессиональной деятельности (ОПК-7);

2.3. Трудоемкость дисциплины и виды учебной работы (в академических часах и кредитах)

#### 2.3.1. Объем дисциплины и виды учебной работы

Виды учебной работы	Всего, в акад. часах
<b>1.Общая трудоемкость изучения дисциплины по семестрам, в т. ч.:</b>	<b>144/4кред</b>
1.1. Аудиторные занятия, в т. ч.:	
1.1.1. Лекции	<b>14</b>
1.1.2. Лабораторные занятия	<b>14</b>
1.2. Самостоятельная работа, в т.ч.:	<b>53</b>
<b>Итоговый контроль <u>Экзамен</u></b>	<b>63</b>

2.3.2. Распределение объема дисциплины по темам и видам учебной работы

Разделы и темы дисциплины	Всего (ак. часов)	Лекции (ак. часов)	Лабор. (ак. часов)
1	2=3+4	3	4
	<b>28</b>	<b>14</b>	<b>14</b>
<b>Модуль 1</b>			
<b>Раздел 1.</b> Структура компьютера. Классификация компьютеров и компьютерных систем.	<b>10</b>	<b>5</b>	<b>5</b>
Тема 1.1. Принцип действия компьютера. Концепция Фон-Неймановской архитектуры. Гарвардская архитектура. Язык Ассемблера и языки высокого уровня. Классификация архитектур процессоров.	<b>2</b>	<b>1</b>	<b>1</b>
Тема 1.2. Процессоры. Понятие архитектуры системы команд (ISA). Форматы команд и данных. Уровни абстракции современных компьютерных систем, виртуализация.	<b>2</b>	<b>1</b>	<b>1</b>
Тема 1.3. Архитектура x86 -32/64. Программно-доступные регистры процессора. Способы адресации операндов. Система команд процессора. Директивы Ассемблера. Команды переходов.	<b>2</b>	<b>1</b>	<b>1</b>
Тема 1.4. Назначение и функции операционной системы. Классификация и обработка прерываний. Взаимодействие аппаратных и программных средств.	<b>2</b>	<b>1</b>	<b>1</b>
Тема 1.5. Структурная организация процессора. Конвейерная обработка команд. Причины конфликтов на конвейере и способы их устранения. Статическое и динамическое предсказание переходов. Предсказание.	<b>2</b>	<b>1</b>	<b>1</b>
<b>Раздел 2.</b> Компьютерная арифметика. Структуры устройств и алгоритмы выполнения основных арифметических операций.	<b>4</b>	<b>2</b>	<b>2</b>
Тема 2.1. Сложение и вычитание целых чисел. Умножение целых чисел без знака и со знаком. Деление целых чисел. Арифметика чисел с плавающей запятой.	<b>4</b>	<b>2</b>	<b>2</b>

<b>Раздел 3.</b> Организация памяти вычислительных систем. Типы памяти. Иерархическая структура памяти.	<b>4</b>	<b>2</b>	<b>2</b>
Тема 3.1. Характеристики памяти, иерархия памяти. Статическая и динамическая RAM-память. Кэш-память, мотивация. Типы кэш-памяти. Алгоритмы работы. Уровни кэш-памяти.	<b>2</b>	<b>1</b>	<b>1</b>
Тема 3.2. Виртуальная память. Страничная организация памяти, TLB. Сегментная организация памяти.	<b>2</b>	<b>1</b>	<b>1</b>
<b>Раздел 4.</b> Параллельные компьютерные архитектуры. Современные процессоры.	<b>6</b>	<b>3</b>	<b>3</b>
Тема 4.1. Классификация параллельных архитектур. Уровни параллелизма. SIMD команды. SIMD-обработка.	<b>2</b>	<b>1</b>	<b>1</b>
Тема 4.2. MIMD системы. Мультитрединг. Многоядерные процессоры. Закон Амдала. UMA и NUMA системы. Процессоры Core i7 IceLake.	<b>2</b>	<b>1</b>	<b>1</b>
Тема 4.3. Особенности ARM архитектуры. Система команд. Команды переходов и условное (предикатное) выполнение.	<b>2</b>	<b>1</b>	<b>1</b>
<b>Раздел 5.</b> Организация ввода-вывода информации.	<b>4</b>	<b>2</b>	<b>2</b>
Тема 5.1. Классификация устройств ввода-вывода. Функции и структура модуля (контроллера) ввода-вывода). Структура устройства ввода-вывода.	<b>2</b>	<b>1</b>	<b>1</b>
Тема 5.2. Ввод-вывод с отображением на память. Изолированный ввод-вывод. Программно-управляемый ввод-вывод. Ввод-вывод по прерыванию. Режим прямого доступа в память (DMA).	<b>2</b>	<b>1</b>	<b>1</b>
<b>ИТОГО</b>	<b>28</b>	<b>14</b>	<b>14</b>

### 2.3.3 Содержание разделов и тем дисциплины

#### **Основные разделы:**

- Структура компьютера. Классификация компьютеров и компьютерных систем;
- Архитектура системы команд;
- Компьютерная арифметика;
- Организация памяти вычислительных систем;
- Параллельные компьютерные архитектуры;
- Организация ввода-вывода информации

### **Модуль 1.**

#### **Введение**

Краткий исторический обзор развития компьютерной техники.

### **Раздел 1. Структура компьютера. Классификация компьютеров и компьютерных систем.**

#### **Тема 1.1. Принцип действия компьютера.**

Концепция Фон-Неймановской архитектуры. Гарвардская архитектура. Историческая справка. Язык Ассемблера и языки высокого уровня. Классификация архитектур процессоров.

**Тема 1.2.** Процессоры. Понятие архитектуры системы команд (ISA). Форматы команд и данных. Уровни абстракции современных компьютерных систем, виртуализация.

**Тема 1.3.** Архитектура x86 -32/64. Программно-доступные регистры процессора. Способы адресации операндов. Система команд процессора. Директивы Ассемблера. Команды переходов. Привилегированные команды.

**Тема 1.4.** Назначение и функции операционной системы. Классификация и обработка прерываний. Взаимодействие аппаратных и программных средств.

### **Раздел 2. Компьютерная арифметика. Структуры устройств и алгоритмы выполнения основных арифметических операций.**

**Тема 2.1.** Сложение и вычитание целых чисел. Умножение целых чисел без знака и со знаком. Деление целых чисел. Арифметика чисел с плавающей запятой.

**Раздел 3. Организация памяти вычислительных систем.**

**Тема 3.1.** Характеристики памяти, иерархия памяти. Статическая и динамическая RAM-память. Кэш-память, мотивация. Типы кэш-памяти. Алгоритмы работы. Уровни кэш-памяти.

**Тема 3.2.** Виртуальная память. Страничная организация памяти, Буфер быстрой переадресации (TLB). Сегментная организация памяти.

**Раздел 4. Параллельные компьютерные архитектуры. Современные процессоры.**

**Тема 4.1.** Классификация параллельных архитектур. Уровни параллелизма. SIMD команды. SIMD -обработка.

**Тема 4.2.** MIMD системы. Мультитрединг. Многоядерные процессоры. Закон Амдала. UMA и NUMA системы. Процессоры Corei7 IceLake.

**Тема 4.3.** Особенности ARM архитектуры. Система команд. Команды переходов и условное (предикатное ) выполнение.

**Раздел 5. Организация ввода-вывода информации**

**Тема 5.1.** Классификация устройств ввода-вывода.

Функции и структура модуля (контроллера) ввода-вывода. Структура устройства ввода-вывода.

**Тема 5.2.** Ввод-вывод с отображением на память.

Изолированный ввод-вывод. Программно-управляемый ввод-вывод. Ввод-вывод по прерыванию. Режим прямого доступа в память (DMA).

**2.4. Материально-техническое обеспечение дисциплины**

Аудитории и лаборатории оснащены программными средствами автоматизированного синтеза и симуляции цифровых логических схем (VCS, Design Compiler, IC Compiler) и необходимой учебной литературой.

## 2.5. Распределение весов по модулям и формам контроля

	Вес формы текущего контроля в результирующей оценке текущего контроля			Вес формы промежуточного контроля и результирующей оценки текущего контроля в итоговой оценке промежуточного контроля			Вес итоговых оценок промежуточных контролей в результирующей оценке промежуточного контроля	Вес оценки результирующей оценки промежуточных контролей и оценки итогового контроля в результирующей оценке итогового контроля
	M1	M2	M3	M1	M2	M3		
<b>Вид учебной работы/контроля</b>								
Контрольная работа		1	1		1	1		
Лабораторные работы								
Устный опрос								
Вес результирующей оценки текущего контроля в итоговых оценках промежуточных контролей								
Вес итоговой оценки 1-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 2-го промежуточного контроля в результирующей оценке промежуточных контролей							0.5	
Вес итоговой оценки 3-го промежуточного контроля в результирующей оценке промежуточных контролей т.д.							0.5	
Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля								0.4
<b>Экзамен (оценка итогового контроля)</b>								0.6
			$\Sigma = 1$			$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$

### **3. Теоретический блок**

#### 3.1. Материалы по теоретической части курса

##### 3.1.1. Учебник(и)

1. Таненбаум Э. Остин Т. Архитектура компьютера, 6-е издание, Питер, 2013.
2. Паттерсон Д., Хеннесси Дж. Архитектура компьютера и проектирование компьютерных систем. Питер, 2012.
3. D.M Harris, S.L. Harris. Digital Design and Computer Architecture. 2013.

##### 3.1.2. Учебное пособие

Քոմպյուտերային համակարգերի նարտարապետություն: Մերոնական ցուցումներ: Ա.Վ.Թումանյան, Ե.Վ.Վիրաբյան, Ա.Գ.Քամայան: Երևան, 2019.

### **4. Практический блок**

#### 4.1. Планы лабораторных работ

Лабораторные работы производятся с использованием описаний схем на языке Verilog (симуляция и синтез)

1. Преобразование двоичного кода в десятичный код (Binaryto BCD)
2. Предсказание переходов с помощью предиктора Смита (вариант 1, вариант 2)
3. Изучение работы предиктора МакФарлинга
4. Симуляция и синтез модулей SRAM-памяти
5. Разработка и описание на Verilog контроллера кэш-памяти с прямым отображением
6. Изучение работы блока преобразования виртуального адреса в физический
7. Разработка и описание на Verilogустройства умножения на основе алгоритма Бута

### **5. Материалы по оценке и контролю знаний**

#### 5.1. Перечень экзаменационных вопросов

- ✓ Структура компьютера. Классификация компьютеров и компьютерных систем.
- ✓ Принцип действия компьютера. Концепция Фон-Неймановской архитектуры. Гарвардская архитектура.
- ✓ Язык Ассемблера и языки высокого уровня. Классификация архитектур процессоров.

- ✓ Процессоры. Понятие архитектуры системы команд (ISA). Форматы команд и данных.
- ✓ Уровни абстракции современных компьютерных систем, виртуализация.
- ✓ Архитектура x86-32/64. Программно-доступные регистры процессора. Способы адресации операндов.
- ✓ Система команд процессора. Директивы Ассемблера. Команды переходов. Привилегированные команды.
- ✓ Назначение и функции операционной системы. ОС как менеджер ресурсов.
- ✓ Классификация и обработка прерываний. Взаимодействие аппаратных и программных средств.
- ✓ Характеристики памяти, иерархия памяти. Способы организации кэш-памяти. Мотивация многоуровневой кэш-памяти.
- ✓ Виртуальная память. Страничная организация памяти. Буфер быстрой переадресации (TLB).
- ✓ Сложение и вычитание целых чисел. Арифметика чисел с плавающей запятой.
- ✓ Умножение целых чисел без знака и со знаком.
- ✓ Деление целых чисел.
- ✓ Арифметика с плавающей запятой.
- ✓ MIMD-системы. Закон Амдала. UMA и NUMA системы.
- ✓ Мультитрединг. Многоядерные процессоры.
- ✓ Классификация устройств ввода-вывода.
- ✓ Функции и структура модуля (контроллера) ввода-вывода. Структура устройства ввода-вывода.

## 5.2. Образцы экзаменационных билетов

### **Билет 1**

1. Процессоры. Понятие архитектуры системы команд (ISA). Форматы команд и данных.
2. Виртуальная память. Страничная организация памяти. Буфер быстрой переадресации (TLB).
3. Заданы адреса ОП в 16-й системе счисления - 7776C, AAB00EE, A0FFFC2. Адрес ОП – 32-битный.

Представить значение следующих полей: тэга, номера набора, номера байта в блоке. Кэш частично-ассоциативный. Размер блока 64 байта, объем кэша – 512Кбайт, число каналов – 8.

**Билет 2**

1. Характеристики памяти, иерархия памяти. Способы организации кэш-памяти. Мотивация многоуровневой кэш-памяти.

2. MIMD-системы. Закон Амдала. UMA и NUMA системы

3. Пусть в некоторой программе, работающей в системе со страничной организацией памяти, произошло обращение по виртуальному адресу 012356h.

Преобразовать этот адрес в физический, учитывая, что размер страницы – 4Кбайта, число разрядов логического адреса – 24. Объем ОП – 4Мбайта.

	Р	Номер блока
0	1	0000000000
1	0	-
2	0	-
3	1	0000000001
4	1	0000001001
5	1	1110000111
6	1	0100000010
18	1	0110111100